

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-090723

(43)Date of publication of application : 30.03.1990

(51)Int.Cl.

H03K 19/0185

H03K 17/56

H03K 17/687

(21)Application number : 63-241913

(71)Applicant : NEC CORP

(22)Date of filing : 27.09.1988

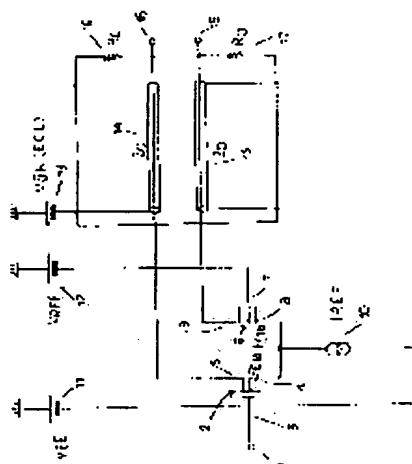
(72)Inventor : KOIZUMI YOSHIAKI

(54) LEVEL CONVERSION CIRCUIT

(57)Abstract:

PURPOSE: To improve the switching characteristic by using only an N-channel MOSFET as a switching FET.

CONSTITUTION: N-channel MOS field effect transistors(FETs) 2, 6 are used to constitute a comparator, a source 4 of the FET 2 and a source 8 of the FET 6 are connected, one terminal of a constant current source IRFE 10 is connected to the connecting point, and the other terminal of the constant current source is connected to a power supply VEE 11. Moreover, a gate 3 of the FET 2 is used as a CMOS level input terminal 1, a gate 7 of the FET 8 is connected to one terminal of a constant voltage source VREF 12, and the other terminal of the constant voltage source is connected to ground. Furthermore, a drain 5 of the FET 2 is connected to a transmission line 14, and the transmission line 14 is terminated to a power supply VOH(ECL) 13 having an ECL high level potential by a resistor RO 16 having the same characteristic impedance of the line. The high speed processing is attained by using only the N-channel MOSFET with a fast switching speed so as to switch the signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-90723

⑬ Int. Cl.⁵

H 03 K 19/0185
17/56
17/687

識別記号

E

庁内整理番号

8124-5J

⑭ 公開 平成2年(1990)3月30日

8326-5J
8214-5J

H 03 K 19/00
17/687

1 0 1 B
H

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 レベル変換回路

⑯ 特 願 昭63-241913

⑰ 出 願 昭63(1988)9月27日

⑱ 発 明 者 小 泉 嘉 章 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 桑井 清一

明 細 書

1. 発明の名称

レベル変換回路

2. 特許請求の範囲

Nチャンネル型の第1電界効果トランジスタとNチャンネル型の第2電界効果トランジスタとを含むコンパレータと、第1伝送線路と、第2伝送線路とを備え相補型MOSトランジスタの動作電圧レベルをエミッタカップルロジックの動作電圧レベルに変換するレベル変換回路にして、

上記第1電界効果トランジスタのソースは定電流源の一端に、該定電流源の多端は第1電源にそれぞれ接続され、上記第1電界効果トランジスタのゲート及びドレインを上記相補型MOSトランジスタの動作電圧レベル入力端子と、上記第1伝送線路とにそれぞれ接続し、

上記第2電界効果トランジスタのソースとゲートとドレインとは上記定電流源の一端と相補型MOSトランジスタのしきい値電圧に相当する電圧

を出力する参照定電圧源と第2伝送線路とにそれぞれ接続され、

上記第1及び第2伝送線路は共にエミッタカップルロジックの動作電圧レベルの高レベル値に相当する電圧を出力する第2電源で整合終端され、上記第1及び第2伝送線路と終端抵抗との接続点からエミッタカップルロジックの動作電圧レベルをそれぞれ出力端子に供給することを特徴とするレベル変換回路。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は半導体集積回路に関し、CMOS集積回路のレベルをECLレベルにインターフェイスするレベル変換回路に関する。

[従来の技術]

従来の技術としてはIEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 23, NO. 1, FEBRUARY

(2)

1988がある。第3図において高レベル出力の時、出力は標準 50Ω のECL負荷の接続されたノード31に、3Vのツェナー・ダイオード32を通して、約20mAの電流を供給する。このチップは $VCC = +5V$ で使用するため、チップの出力電圧は常に正でありレベルシフトとしてツェナー・ダイオード32を必要とする。

そして高レベル出力の時の電流は電界効果トランジスタ(以下、MOSFET)P1~P8とN1~N6とからなるカレント・ミラー回路によって制御され、MOSFET P9, P10によって供給される。

【発明が解決しようとする問題点】

しかしながら、従来のレベル変換回路はスイッチングFETとして、NチャンネルMOSFETの約3分の1の速度のPチャンネルMOSFETを使用しており、しかも、レベルシフトにスイッチング特性の悪いツェナー・ダイオードを使用しているため、スイッチング特性が悪くなるという

ジックの動作電圧レベルの高レベル値に相当する電圧を出力する第2電源で整合終端され、上記第1及び第2伝送線路と終端抵抗との接続点からエミッタカップルロジックの動作電圧レベルをそれぞれ出力端子に供給することである。

【実施例】

次に本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例を示す回路図である。Nチャンネル型MOS電界効果トランジスタ(以下、FET)2と6とを使用し、コンパレータを構成し、FET2のソース4とFET6のソース8とを接続し、そこに定電流源IREF10の一端を接続し、その定電流源の多端を電源VEE11に接続する。

またFET2のゲート3をCMOSレベル入力端子1とし、FET6のゲート7を定電圧源VREF12の一端に接続し、その定電圧源の多端を接地する。さらにFET2のドレイン5を伝送線

問題があった。

【問題点を解決するための手段】

本発明の要旨はNチャンネル型の第1電界効果トランジスタとNチャンネル型の第2電界効果トランジスタとを含むコンパレータと、第1伝送線路と、第2伝送線路とを備え相補型MOSトランジスタの動作電圧レベルをエミッタカップルロジックの動作電圧レベルに変換するレベル変換回路にして、上記第1電界効果トランジスタのソースは定電流源の一端に、該定電流源の多端は第1電源にそれぞれ接続され、上記第1電界効果トランジスタのゲート及びドレインを上記相補型MOSトランジスタの動作電圧レベル入力端子と、上記第1伝送線路とにそれぞれ接続し、上記第2電界効果トランジスタのソースとゲートとドレインとは上記定電流源の一端と相補型MOSトランジスタのしきい値電圧に相当電圧を出力する参照定電圧源と第2伝送線路とにそれぞれ接続され、上記第1及び第2伝送線路は共にエミッタカップルロ

路14に接続し、その伝送線路14をその線路の特性インピーダンスと同じ値の抵抗R016でECLの高レベルの電位を持った電源VOH(ECL)13に終端する。

同様にFET6のドレイン9を伝送線路15に接続し、その伝送線路15をその線路の特性インピーダンスと同じ値の抵抗R017でECLの高レベルの電位を持った電源VOH(ECL)13に終端する。

FET2のドレイン5側に接続された伝送線路14と終端抵抗R016との接続点から、CMOSレベルの入力と逆相のECLレベル逆相出力端子18を有し、FET6のドレイン9側に接続された伝送線路15と終端抵抗R017の接続点から、CMOSレベルの入力と同相のECLレベル同相出力端子19を有する構成である。CMOS-ECLレベル変換回路の遅延時間、消費電力をさげるためには、CMOSチップの電源電圧をVDD(例えば、+5V)で使用するよりも、VEE(例えば、-5.2Vまたは-4.5V)で使

用する方が良く、その場合CMOSの高レベルは約0V、CMOSの低レベルは約VEE、CMOSのスレッシュホールドは約 $1/2 V_{EE}$ となる。

これをECLレベルすなわちECL高レベル約-0.9Vまたは-0.8V、ECL低レベル約-1.8Vまたは-1.6Vにインターフェイスする。その動作はCMOSレベル入力端子1に、CMOS高レベルが入力されると、FET2, 6で構成されるコンパレータによって、CMOSスレッシュホールドレベル V_{REF} （ $\approx 1/2 V_{EE}$ ）と比較され、FET2に定電流源 I_{REF} の電流が終端抵抗 R_{O16} に流れ、ECLレベル逆相出力端子18には、

$$\begin{aligned} V_{OH}(ECL) &= R_O \cdot I_{REF} \\ &= V_{OH}(ECL) - R_O \cdot \{V_{OH}(ECL) - V_{OL}(ECL)\} / R_O \\ &= V_{OL}(ECL) \end{aligned}$$

ECL低レベルが出力され、FET6は電流が流れなくなり、ECLレベル同相出力端子19にはECL高レベルが出力される。

【発明の効果】

本発明によると、スイッチング速度の速いNチャンネル型MOSFETのみを用いて、信号をスイッチングできるため高速化が可能である。また電流インターフェイスであるため、損失伝送線路でもドライブできる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す回路図、第2図はCMOS-ECLレベル変換回路の入出力の時間応答例を示す波形図、第3図は従来のCMOS-ECLレベル変換回路である。

- 1 CMOSレベル入力端子、
- 2 NチャンネルMOSFET
(第1電界効果トランジスタ)、
- 3 FET2のゲート、
- 4 FET2のソース、
- 5 FET2のドレイン、

(3) 逆にCMOSレベル入力端子1に、CMOS低レベルが入力されると、FETa, bで構成されるコンパレータによってCMOSスレッシュホールドレベル V_{REF} と比較され、FETa2には電流が流れなくなり、ECLレベル逆相出力端子19にはECL高レベルが出力されFETb6には定電流源 I_{REF} が終端抵抗 R_{O17} に流れ、ECLレベル出力端子19には、

$$\begin{aligned} V_{OH}(ECL) &= R_O \cdot I_{REF} \\ &= V_{OH}(ECL) - R_O \cdot \{V_{OH}(ECL) - V_{OL}(ECL)\} / R_O \\ &= V_{OL}(ECL) \end{aligned}$$

ECL低レベルが出力されECLコンパチブルの出力が得られる。

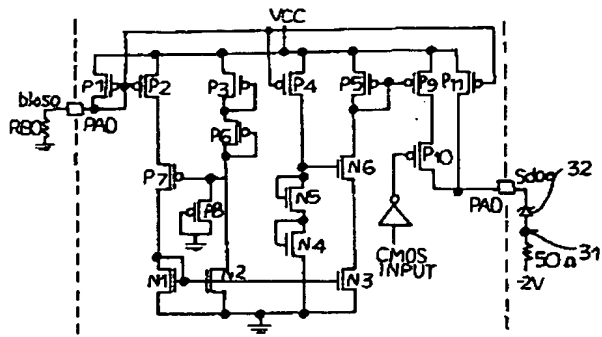
第2図はCMOSレベル入力端子1にCMOSレベル入力波形20を加えたときに、ECLレベル同相出力端子19にECLレベル同相出力波形22が、そしてECLレベル逆相出力端子18にECLレベル逆相出力波形21が、ある程度の遅延時間の後、出力されることを意味している。

6 NチャンネルMOSFET

(第2電界効果トランジスタ)、

- 7 FET6のゲート、
- 8 FET6のソース、
- 9 FET6のドレイン、
- 10 定電流源 I_{REF} 、
- 11 電源VEE、
- 12 定電圧源 V_{REF} 、
- 13 ECLの高レベルの電位を持った電源 $V_{OH}(ECL)$ 、
- 14, 15 特性インピーダンス Z_0 の伝送線路、
- 16, 17 終端抵抗 R_O 、
- 18 ECLレベル逆相出力端子、
- 19 ECLレベル同相出力端子、
- 20 CMOSレベル入力波形、
- 21 ECLレベル逆相出力波形、
- 22 ECLレベル同相出力波形、
- 23 CMOS低レベル、
- 24 ECL高レベル、

(5)



第 3 図